



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0005142
Application Number

출원 년 월 일 : 2003년 01월 27일
Date of Application JAN 27, 2003

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



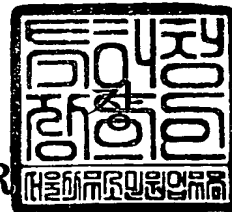
2003 년 08 월 11 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.01.27
【발명의 명칭】	복합 로직 소자의 제조 방법
【발명의 영문명칭】	Method for fabricating of merged Logic CMOS device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 아주(대표변리사 정은섭)
【대리인코드】	9-2001-100005-9
【지정된변리사】	정은섭
【포괄위임등록번호】	2001-071442-5
【발명자】	
【성명의 국문표기】	김성욱
【성명의 영문표기】	KIM, Seong Wook
【주민등록번호】	750125-1069010
【우편번호】	151-014
【주소】	서울특별시 관악구 신림4동 480-7
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 아주(대표변리사 정은섭) (인)
【수수료】	
【기본출원료】	12 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	3 항 205,000 원
【합계】	234,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 고에너지 웰(Retrograded well) 이온 주입 공정으로 DDD(Double Diffused Drain) 구조의 깊은 접합(Deep junction)을 형성하여 공정을 단순화한 복합 로직 소자의 제조 방법에 관한 것으로, 반도체 기판에 고전압 p형 웰 영역을 형성하는 단계; 로직 영역에 로직 p형 웰 영역을 형성하기 위한 이온 주입과 필드 스탑 이온 주입을 동시에 진행하는 단계; 고전압 p형 웰 영역 내에 로직 웰 영역을 형성하는 단계; 전면 에 고전압 게이트 산화막을 형성하고 문턱 전압 이온 주입 공정을 진행하는 단계; 상기 로직 영역에 로직 게이트 산화막을 형성하고, 로직 게이트 전극과 고전압 게이트 전극을 동시에 형성하는 단계; 로직 영역에 로직 LDD 영역을 형성하고 게이트 전극들의 측면에 스페이서를 형성하는 단계; 로직 소오스/드레인 영역, 고전압 소오스/드레인 영역과 벌크 바이어스 조절 영역을 형성하는 단계를 포함한다.

【대표도】

도 1f

【색인어】

Retrograded well, DDD, Deep junction, 고전압 소자



【명세서】

【발명의 명칭】

복합 로직 소자의 제조 방법 {Method for fabricating of merged Logic CMOS device}

【도면의 간단한 설명】

도 1a내지 도 1f는 본 발명에 따른 복합 로직 소자의 제조를 위한 공정 단면도

- 도면의 주요 부분에 대한 부호의 설명 -

- | | |
|--------------------|-------------------|
| 11. 반도체 기판 | 12. 고전압 p형 웰 영역 |
| 13. 소자 격리층 | 14. 로직 p형 웰 영역 |
| 15. 로직 웰 영역 | 16. 고전압 게이트 산화막 |
| 17a. 로직 게이트 전극 | 17b. 고전압 게이트 전극 |
| 18. 로직 LDD 영역 | 19. 로직 소오스/드레인 영역 |
| 20. 고전압 소오스/드레인 영역 | 21. 벌크 바이어스 조절 영역 |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 복합 로직 소자에 관한 것으로, 구체적으로 고에너지 웰(Retrograded well) 이온 주입 공정으로 DDD(Double Diffused Drain) 구조의 깊은 접합(Deep junction) 형성하여 공정을 단순화한 복합 로직 소자의 제조 방법에 관한 것이다.
- <10> 반도체 집적 회로가 고전압을 사용하는 외부 시스템을 직접 제어하는 경우 집적회로 내부에 외부 시스템의 고전압이 직접 걸리는 고전압 제어용 소자가 필요하게 되며, 또한 높은 브레이크 다운(Break down) 전압이 필요한 회로에서도 고전압용의 특수한 소자를 필요로 한다.
- <11> 예를 들어 액정 표시 장치(LCD; Liquid Crystal Display), 또는 형광 표시판(FIP; Fluorescence Indicator Panel) 등을 구동하는 소자 등이 그것이다.
- <12> 고전압이 직접 인가되는 외부 시스템의 구동 트랜지스터가 외부 시스템을 원활히 구동할 수 있게 작동하기 위해서는 고전압이 인가되는 드레인과 반도체 기판 사이의 브레이크 다운 전압이 인가되는 고전압보다 커야 한다.
- <13> 그리고 브레이크 다운 전압을 높이기 위해서는 기판의 불순물 농도를 낮추어야 한다.

- <14> 이를 위하여 높은 브레이크 다운 전압을 얻기 위해 소스(Source) 및 드레인(Drain) 영역의 하부에 소스 및 드레인과 동일한 도전형의 저농도 영역을 갖는 이중 확산 드레인(DDD; Double Diffused Drain) 구조가 사용된다.
- <15> 이와 같은 구조는 높은 브레이크 다운 전압을 얻을 수 있을 뿐만 아니라, 핫 캐리어 효과(Hot Carrier Effect)를 방지하기도 하다.
- <16> 여기서, 핫 캐리어 효과란 채널(Channel)의 길이가 짧아지면서 드레인 부근의 채널 영역에 강한 전기장이 형성된다.
- <17> 그로 인하여 가속된 고에너지의 핫 캐리어가 게이트(Gate) 쪽으로 포획(Trap)되어 누설(Leakage)로 인한 손실이 발생하고, 게이트 산화막(Gate Oxide)이 손상되어 임계 전압(Threshold Voltage)이 낮아지는 것을 말한다.
- <18> 종래 기술의 고전압의 소자에서는 소오스, 드레인의 접합 깊이나 농도에 의해서 고전압 소자의 접합 브레이크 다운 전압이 결정되므로 소오스/드레인을 DDD(Double Diffused Drain) 구조로 형성한다.
- <19> 이는 깊은 접합(deep junction)과 낮은 농도의 소오스/드레인을 형성시켜야 하며 이는 곧 장시간 그리고 고온에서의 열공정(diffusion)에 의한 구현 방법으로 가능하다.
- <20> 그러나 이와 같은 종래 기술의 고전압 소자의 형성 공정은 다음과 같은 문제점이 있다.
- <21> 종래 기술에서는 고전압 소자의 DDD 구조를 구현하기 위하여 열공정이 반복되기 때문에 저전압 구동을 하며 얇은 접합 구조를 갖는 CMOS 로직 소자와 함께 구현될 경우 로직 소자의 특성 열화를 가져온다.

<22> 따라서, 최대한 로직 소자에 영향을 주지 않는 방향으로 공정 설계를 하다보면 공정수가 상당히 많아진다.

<23> 이는 생산성을 저하시키고 제조 비용을 높이는 문제를 유발한다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명은 이와 같은 종래 기술의 복합 로직 소자의 제조 공정에서의 문제를 해결하기 위하여 안출한 것으로, 고전압 소자 형성시에 고에너지 웰(Retrograded well) 이온 주입 공정으로 DDD(Double Diffused Drain) 구조의 깊은 접합(Deep junction) 형성하여 공정을 단순화한 복합 로직 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<25> 이와 같은 목적을 달성하기 위한 본 발명에 따른 복합 로직 소자의 제조 방법은 반도체 기판에 고전압 p형 웰 영역을 형성하는 단계; 로직 영역에 로직 p형 웰 영역을 형성하기 위한 이온 주입과 필드 스탑 이온 주입을 동시에 진행하는 단계; 고전압 p형 웰 영역내에 로직 웰 영역을 형성하는 단계; 전면에 고전압 게이트 산화막을 형성하고 문턱 전압 이온 주입 공정을 진행하는 단계; 상기 로직 영역에 로직 게이트 산화막을 형성하고, 로직 게이트 전극과 고전압 게이트 전극을 동시에 형성하는 단계; 로직 영역에 로직 LDD 영역을 형성하고 게이트 전극들의 측면에 스페이서를 형성하는 단계; 로직 소오스/드레인 영역, 고전압 소오스/드레인 영역과 벌크 바이어스 조절 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.

- <26> 본 발명에 따른 복합 로직 소자의 제조 방법의 바람직한 실시예에 관하여 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.
- <27> 도 1a내지 도 1f는 본 발명에 따른 복합 로직 소자의 제조를 위한 공정 단면도이다.
- <28> 본 발명은 공정 단순화를 통해서 이전의 고전압 제조 공정보다 훨씬 공정수를 줄이며 또한 로직 소자의 특성 열화를 최대한 낮출 수 있도록 한 것이다.
- <29> 즉, 이전의 고전압 소자의 소오스/드레인의 DDD 구조에서 깊은 접합을 구현하기 위한 히팅 사이클을 로직 소자의 하이 에너지 웰(Retrograded well) 이온 주입 공정으로 대체한 것이다.
- <30> 하이 에너지 웰(Retrograded well) 이온 주입 공정을 사용하는 것에 의해 공정 단계를 줄이고 양산 측면에서 유리한 효과를 갖는다.
- <31> 먼저, 도 1a에서와 같이, 반도체 기판(11)에 소자 격리층(13)을 형성하여 활성 영역을 정의하고 고전압 소자 형성 영역의 반도체 기판(11)내에 고전압 p형 웰 영역(12)을 형성한다.
- <32> 이어, 도 1b에서와 같이, 고 에너지(High energy)를 사용하여 로직 p형 웰 영역(14)을 형성하기 위한 이온 주입과 필드 스탑 이온 주입(Field stop implant)을 동시에 진행한다.
- <33> 이때, 고전압 소자의 소오스/드레인 영역을 형성하기 위한 고전압 n형 웰 영역(15)을 고전압 p형 웰 영역(12)내에 동시에 형성한다.

- <34> 이와 같이, 로직 p형 웰 영역(14), 필드 스탑층의 형성시에 고전압 소자 형성 영역의 로직 웰 영역(15)을 연속적으로 형성하므로 고온의 확산(Diffusion) 공정 없이 고전압 소자의 기본 구조를 형성한다.
- <35> 그리고 도 1c에서와 같이, 전면에 고전압 게이트 산화막(16a)을 형성하고 로직 소자의 문턱 전압 이온 주입과 고전압 소자의 문턱 전압 이온 주입 공정을 진행한다.
- <36> 이어, 도 1d에서와 같이, 습식 식각 공정으로 로직 영역의 고전압 게이트 산화막(16a)을 제거하고 로직 게이트 산화막(16b)을 형성한다.
- <37> 그리고 전면에 게이트 형성용 물질층을 형성하고 선택적으로 식각하여 로직 게이트 전극(17a)과 고전압 게이트 전극(17b)을 형성한다.
- <38> 이어, 도 1e에서와 같이, 로직 영역에 저농도 n형 불순물 이온을 주입하여 로직 LDD 영역(18)을 형성한다.
- <39> 그리고 도 1f에서와 같이, 로직 게이트 전극(17a)과 고전압 게이트 전극(17b)의 측면에 스페이서를 형성하고, 로직 소오스/드레인 영역(19), 고전압 소오스/드레인 영역(20)과 벌크 바이어스 조절 영역(21)을 이온 주입 공정으로 형성한다.
- <40> 이상에서는 본원 발명의 HV(High Voltage) PMOS 제조 방법에 대한 공정을 설명하였으나, 상기 PMOS 제조 방법과 동일한 방법을 통하여 NMOS 트랜지스터로 제조할 수 있다.
- <41> 이와 같은 본 발명은 최근 수요가 급증하는 TFT LCD 드라이버 IC, 핸드폰과 기타 디스플레이(컬러 STN, OLED) 제품의 응용에 적용되는 고전압 소자의 제조 공정에 기본 CMOS 로직 소자 구현 방법을 적용하여 공정 비용을 낮추고 로직 소자의 특성 열화를 방지할 수 있다.

<42> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<43> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

【발명의 효과】

<44> 이상에서 설명한 본 발명에 따른 복합 로직 소자의 제조 방법은 다음과 같은 효과가 있다.

<45> 첫째, 고전압 트랜지스터를 구현하는데 필요한 열공정(diffusion)을 크게 줄임으로써 로직 소자의 안정적 특성을 확보할 수 있다.

<46> 둘째, 고전압 트랜지스터를 구현하는데 필요한 공정수를 줄일 수 있어 공정을 단순화하고 공정 비용을 낮출 수 있으며 양산성(throughput) 측면에서도 상당한 장점을 갖는다.

<47> 셋째, 열 공정을 단축하여 고전압 소오스/드레인의 사이드(side) 열공정으로 인한 숏 채널 마진 부족을 개선할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판에 고전압 p형 웰 영역을 형성하는 단계;

로직 영역에 로직 p형 웰 영역을 형성하기 위한 이온 주입과 필드 스탑 이온 주입을 동시에 진행하는 단계;

고전압 p형 웰 영역내에 로직 웰 영역을 형성하는 단계;

전면에 고전압 게이트 산화막을 형성하고 문턱 전압 이온 주입 공정을 진행하는 단계;

상기 로직 영역에 로직 게이트 산화막을 형성하고, 로직 게이트 전극과 고전압 게이트 전극을 동시에 형성하는 단계;

로직 영역에 로직 LDD 영역을 형성하고 게이트 전극들의 측면에 스페이서를 형성하는 단계;

로직 소오스/드레인 영역, 고전압 소오스/드레인 영역과 벌크 바이어스 조절 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 복합 로직 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서,

로직 p형 웰 영역을 형성시에 필드 스탑층을 동시에 형성하고 연속적으로 고전압 소자 형성 영역의 고전압 n형 웰 영역을 형성하는 것을 특징으로 하는 복합 로직 소자의 제조 방법.

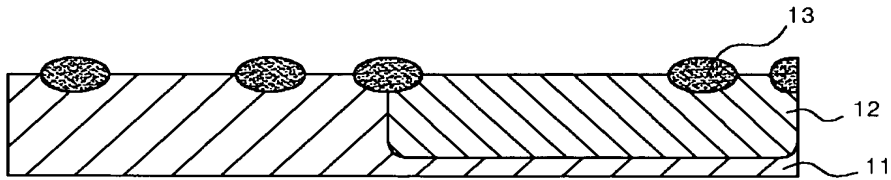
【청구항 3】

제 1 항에 있어서,

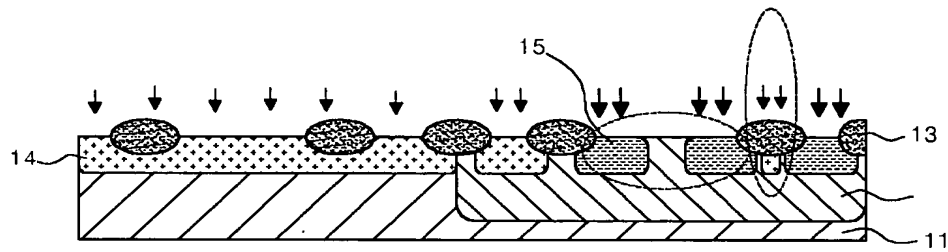
로직 영역에 형성된 고전압 게이트 산화막을 습식 식각 공정으로 제거하고 로직 게이트 산화막을 형성하는 것을 특징으로 하는 복합 로직 소자의 제조 방법.

【도면】

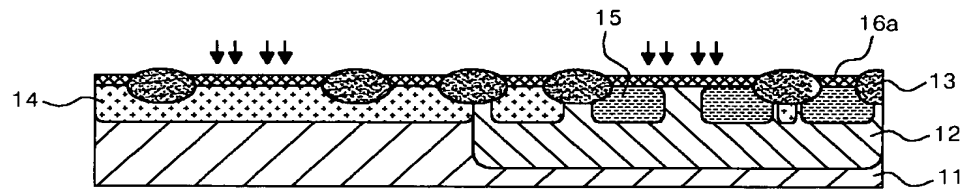
【도 1a】



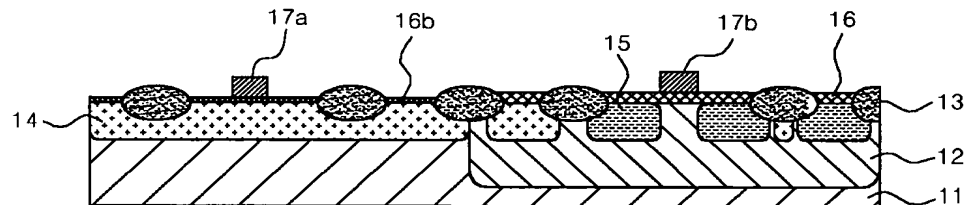
【도 1b】



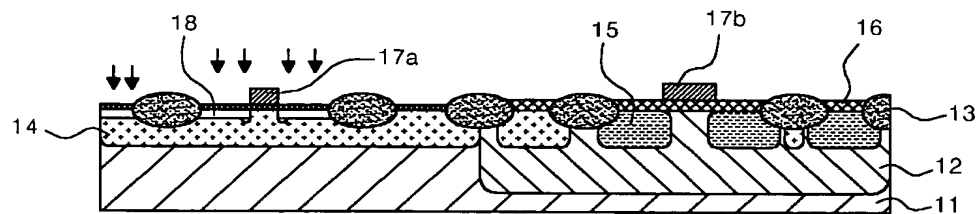
【도 1c】



【도 1d】



【도 1e】



【도 1f】

